

Family list

32 family members for: **JP6296020**
 Derived from 23 applications

1 Semiconductor, semiconductor device, and method for fabricating the same

Inventor: YAMAZAKI SHUNPEI (JP); TAKEMURA YASUHIKO (JP); (+1)
EC: H01L29/786S; H01L21/20D2; (+3) **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)
IPC: H01L21/20; H01L21/336; H01L21/84 (+5)
Publication info: CN1052110C C - 2000-05-03
 CN1098554 A - 1995-02-08

2 Crystallized semiconductor layer, semiconductor device using the same and process for their fabrication.

Inventor: YAMAZAKI SHUNPEI (JP); TAKEMURA YASUHIKO (JP); (+3)
EC: H01L29/786S; H01L21/20D2; (+3) **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)
IPC: H01L21/20; H01L21/336; H01L21/84 (+6)

Publication info: DE69428387D D1 - 2001-10-31

3 Crystallized semiconductor layer, semiconductor device using the same and process for their fabrication.

Inventor: YAMAZAKI SHUNPEI (JP); TAKEMURA YASUHIKO (JP); (+3)
EC: H01L29/786S; H01L21/20D2; (+3) **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)
IPC: H01L21/20; H01L21/336; H01L21/84 (+6)

Publication info: DE69428387T T2 - 2002-07-04

4 Crystallized semiconductor layer, semiconductor device using the same and process for their fabrication.

Inventor: YAMAZAKI SHUNPEI (JP); TAKEMURA YASUHIKO (JP); (+3)
EC: H01L29/786S; H01L21/20D2; (+3) **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)
IPC: H01L21/20; H01L21/336; H01L21/84 (+6)

Publication info: EP0612102 A2 - 1994-08-24

EP0612102 A3 - 1994-10-19

EP0612102 B1 - 2001-09-26

5 Semiconductor, semiconductor device, and method for fabricating the same

Inventor: YAMAZAKI SHUNPEI (JP); TAKEMURA YASUHIKO (JP); (+3)
EC: H01L29/786S; H01L21/20D; (+3) **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)
IPC: H01L21/20; H01L21/336; H01L21/84 (+7)

Publication info: EP1119053 A2 - 2001-07-25

EP1119053 A3 - 2002-01-09

6 MANUFACTURE OF SEMICONDUCTOR

Inventor: YAMAZAKI SHUNPEI (JP); TAKEMURA YASUHIKO (JP)
EC: **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)
IPC: H01L21/20; H01L21/324; H01L21/336 (+)

Publication info: JP3041497B2 B2 - 2000-05-15

JP6244105 A - 1994-09-02

7 SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

Inventor: CHIYOU KOUYUU (JP); UOJI HIDEKI (JP); **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)
 (+3)
EC: **IPC:** H01L21/20; H01L21/205; H01L21/268
 (+11)

Publication info: JP3300153B2 B2 - 2002-07-08

JP6296020 A - 1994-10-21

8 MANUFACTURE OF SEMICONDUCTOR DEVICE

Inventor: CHO KOYU (JP); UOJI HIDEKI (JP); (+3) **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)
EC: **IPC:** H01L21/20; H01L21/336; H01L29/786 (+)

Publication info: JP3413162B2 B2 - 2003-06-03

JP2001053292 A - 2001-02-23

9 METHOD OF MANUFACTURING SEMICONDUCTOR

Inventor: YAMAZAKI SHUNPEI (JP); CHO KOYU
 (JP); (+2) **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)

- EC:** **IPC: H01L21/20; H01L21/336; H01L29/786 (+**
Publication info: JP3566623B2 B2 - 2004-09-15
JP2000306837 A - 2000-11-02
- 10 No title available**
Inventor: **Applicant:**
EC: **IPC: H01L21/20; H01L21/336; H01L29/786 (+**
Publication info: JP3921162B2 B2 - 2007-05-30
JP2003179072 A - 2003-06-27
- 11 MANUFACTURE OF SEMICONDUCTOR**
Inventor: YAMAZAKI SHUNPEI (JP); CHIYOU KOUYUU (JP); (+2) **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)
EC: **IPC: H01L21/20; H01L21/324; H01L21/336 (+**
Publication info: JP6244103 A - 1994-09-02
- 12 THIN FILM TRANSISTOR**
Inventor: CHO KOYU (JP); UOJI HIDEKI (JP); (+3) **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)
EC: **IPC: H01L21/20; H01L21/336; H01L29/786 (+**
Publication info: JP2001291876 A - 2001-10-19
- 13 SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME**
Inventor: YAMAJAKI SUMPEI (JP); DAKAYANA DORU (JP); (+3) **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)
EC: H01L29/786S; H01L21/20D2; (+3) **IPC: H01L21/20; H01L21/336; H01L21/84 (+5**
Publication info: KR0171923B B1 - 1999-02-01
- 14 CRYSTALLIZED SEMICONDUCTOR LAYER SEMICONDUCTOR DEVICE USING THE SAME AND PROCESS FOR THEIR FABRICATION**
Inventor: YAMAZAKI SHUNPEI (JP); TAKEMURA YASUHIKO (JP); (+3) **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)
EC: **IPC: H01L29/772; H01L29/66; (IPC1-7): H01L29/772**
Publication info: KR0180503B B1 - 1999-04-01
- 15 METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE**
Inventor: YAMAZAKI SHUNPEI; TAKEMURA YASUHIKO; (+3) **Applicant:** SEMICONDUCTOR ENERGY LAB K K
EC: H01L29/786S; H01L21/20D2; (+3) **IPC: H01L21/20; H01L21/336; H01L21/84 (+5**
Publication info: KR100305135B B1 - 2001-07-26

Data supplied from the **esp@cenet** database - Worldwide

Family list**32** family members for: **JP6296020**

Derived from 23 applications

16 Semiconductor and semiconductor device**Inventor:** YAMAZAKI SHUNPEI (JP); TAKEMURA YASUHIKO (JP); (+3)**EC:** H01L29/786S; H01L21/20D2; (+3)**Applicant:** SEMICONDUCTOR ENERGY LAB (JP)**IPC:** *H01L21/20; H01L21/336; H01L21/84* (+5)**Publication info:** **TW484190B B** - 2002-04-21**17 Semiconductor and a method of manufacturing a semiconductor device****Inventor:** YAMAZAKI SHUNPEI (JP); TAKEMURA YASUHIKO (JP); (+3)**EC:** H01L29/786S; H01L21/20D2; (+3)**Applicant:** SEMICONDUCTOR ENERGY LAB (JP)**IPC:** *H01L21/20; H01L21/336; H01L21/84* (+5)**Publication info:** **TW509999B B** - 2002-11-11**18 Semiconductor, semiconductor device, and method for fabricating the same****Inventor:** YAMAZAKI SHUNPEI (JP); TAKEMURA YASUHIKO (JP); (+3)**EC:** H01L29/786S; H01L21/20D2; (+3)**Applicant:** SEMICONDUCTOR ENERGY LAB (JP)**IPC:** *H01L21/20; H01L21/336; H01L21/84* (+8)**Publication info:** **US5608232 A** - 1997-03-04**19 Semiconductor, semiconductor device, and method for fabricating the same****Inventor:** YAMAZAKI SHUNPEI (JP); TAKEMURA YASUHIKO (JP); (+3)**EC:** H01L29/786S; H01L21/20D2; (+3)**Applicant:** SEMICONDUCTOR ENERGY LAB (JP)**IPC:** *H01L21/20; H01L21/336; H01L21/84* (+5)**Publication info:** **US5639698 A** - 1997-06-17**20 Semiconductor, semiconductor device, and method for fabricating the same****Inventor:** YAMAZAKI SHUNPEI (JP); TAKEMURA YASUHIKO (JP); (+3)**EC:** H01L29/786S; H01L21/20D2; (+3)**Applicant:** SEMICONDUCTOR ENERGY LAB (JP)**IPC:** *H01L21/20; H01L21/336; H01L21/84* (+6)**Publication info:** **US5897347 A** - 1999-04-27**21 Semiconductor, semiconductor device, and method for fabricating the same****Inventor:** YAMAZAKI SHUNPEI (JP); TAKEMURA YASUHIKO (JP); (+3)**EC:** H01L29/786S; H01L21/20D2; (+3)**Applicant:** SEMICONDUCTOR ENERGY LAB (JP)**IPC:** *H01L21/20; H01L21/336; H01L21/84* (+6)**Publication info:** **US5956579 A** - 1999-09-21**22 Semiconductor device having a catalyst enhanced crystallized layer****Inventor:** YAMAZAKI SHUNPEI (JP); TAKEMURA YASUHIKO (JP); (+3)**EC:** H01L29/786S; H01L21/20D2; (+3)**Applicant:** SEMICONDUCTOR ENERGY LAB (JP)**IPC:** *H01L21/20; H01L21/336; H01L21/84* (+6)**Publication info:** **US6084247 A** - 2000-07-04**23 Semiconductor, semiconductor device, and method for fabricating the same****Inventor:** YAMAZAKI SHUNPEI (JP); TAKEMURA YASUHIKO (JP); (+3)**EC:** H01L29/786S; H01L21/20D2; (+3)**Applicant:** SEMICONDUCTOR ENERGY LAB (JP)**IPC:** *C30B1/06; H01L21/20; H01L21/336* (+6)**Publication info:** **US6997985 B1** - 2006-02-14Data supplied from the **esp@cenet** database - Worldwide

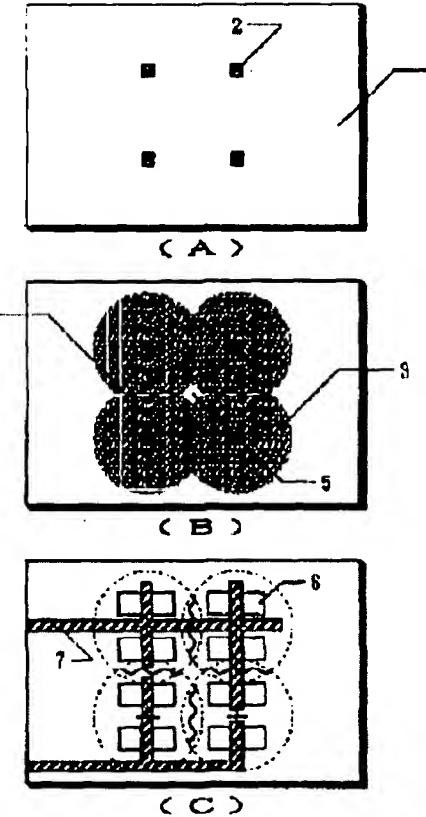
SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

Patent number: JP6296020
Publication date: 1994-10-21
Inventor: CHIYOU KOUYUU (JP); UOJI HIDEKI (JP); TAKAYAMA TORU (JP); YAMAZAKI SHUNPEI (JP); TAKEMURA YASUHIKO (JP)
Applicant: SEMICONDUCTOR ENERGY LAB (JP)
Classification:
 - International: H01L21/20; H01L21/205; H01L21/268; H01L21/324; H01L21/336; H01L29/78; H01L29/786; H01L21/02; H01L29/66; (IPC1-7): H01L29/784; H01L21/20; H01L21/205; H01L21/268; H01L21/324
 - european:
Application number: JP19940040522 19940215
Priority number(s): JP19940040522 19940215; JP19930048533 19930215

[Report a data error here](#)

Abstract of JP6296020

PURPOSE: To obtain a method for manufacturing a semiconductor element such as a thin-film transistor by crystallizing a silicon film in a substantially amorphous state by annealing it at a temperature lower than the temperature of crystallization of ordinary amorphous silicon or than a glass transition point of a substrate. **CONSTITUTION:** A film, particles, a cluster or the like shaped in an island, a line, a stripe or a dot and having nickel, iron, cobalt, platinum or a silicide thereof, each sort of salt thereof or the like is formed selectively on the upper or lower side of an amorphous silicon film 1 and annealed at a temperature lower than the temperature of crystallization of ordinary amorphous silicon or than a glass transition point of a substrate. Starting from this, crystallization is made to advance and thereby a crystal silicon film 3 is obtained. By using this crystal silicon film 3, moreover, a semiconductor element such as a thin film transistor is formed.



Data supplied from the **esp@cenet** database - Worldwide

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平6-296020

(43)公開日 平成6年(1994)10月21日

(51)Int.CI.

識別記号

F 1

H01L 29/784

21/20

8122-4M

21/205

21/268

Z 8617-4M

9056-4M

H01L 29/78

311

F

審査請求 未請求 発明の数10 F D (全13頁) 最終頁に続く

(21)出願番号

特願平6-40522

(71)出願人 000153878

株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

(31)優先権主張番号

特願平5-48533

(72)発明者 張 宏勇

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(32)優先日

平5(1993)2月15日

(72)発明者 魚地 秀貴

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(33)優先権主張国

日本 (JP)

(72)発明者 高山 敬

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

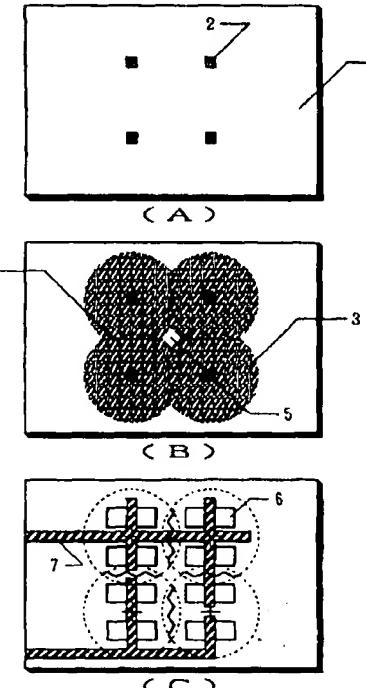
最終頁に続く

(54)【発明の名称】半導体装置およびその製造方法

(57)【要約】

【目的】 実質的にアモルファス状態のシリコン膜を通常のアモルファスシリコンの結晶化温度より低い温度、もしくは基板のガラス転移点より低い温度でのアニールによって結晶化させ、薄膜トランジスタ等の半導体素子を作製する方法を提供する。

【構成】 アモルファスシリコン膜の上もしく下に選択的に島状、線状、ストライプ状、ドット状のニッケル、鉄、コバルト、白金もしくはそれらの珪化物、各種塩等を有する被膜、粒子、クラスター等を形成し、通常のアモルファスシリコンの結晶化温度より低い温度、もしくは基板のガラス転移点より低い温度でアニールすることによって、これを出発点として結晶化を進展させ、結晶シリコン膜を得る。さらに、この結晶シリコン膜を用いて薄膜トランジスタ等の半導体素子を形成する。



【特許請求の範囲】

【請求項1】 基板上に選択的にニッケル、鉄、コバルト、白金、パラジウムの少なくとも1つを含有する物体を形成する第1の工程と、前記工程後、実質的にアモルファス状態のシリコン膜を形成する第2の工程と、第2の工程の後に基板をアニールする第3の工程と、前記シリコン膜を島状にバターニングする第4の工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】 請求項1において、第3の工程の後に基板をフッ酸もしくは塩酸を含有する酸によって処理する第4の工程を有することを特徴とする半導体装置の製造方法。
10

【請求項3】 請求項1において、第3の工程の後、レーザーもしくはそれと同等な強光を照射する工程を有することを特徴とする半導体装置の製造方法。

【請求項4】 基板上に実質的にアモルファス状態のシリコン膜を形成する第1の工程と、前記工程後、選択的にニッケル、鉄、コバルト、白金、パラジウムの少なくとも1つを含有する物体を形成する第2の工程と、第2の工程の後に基板をアニールする第3の工程と、前記シリコン膜を島状にバターニングする第4の工程とを有することを特徴とする半導体装置の製造方法。
20

【請求項5】 請求項4において、第3の工程の後に基板をフッ酸もしくは塩酸を含有する酸によって処理する第4の工程を有することを特徴とする半導体装置の製造方法。

【請求項6】 請求項1において、第3の工程の後、レーザーもしくはそれと同等な強光を照射する工程を有することを特徴とする半導体装置の製造方法。

【請求項7】 1×10^{13} 原子/ cm^3 以上5原子%以下の水素と、 1×10^{11} 原子/ cm^3 以上1原子%以下のニッケル、鉄、コバルト、白金、パラジウムを有するシリコン膜上に、絶縁膜を介してゲート電極が設けられていることを特徴とする薄膜トランジスタ。
30

【請求項8】 1×10^{13} 原子/ cm^3 以上5原子%以下の水素と、 1×10^{11} 原子/ cm^3 以上1原子%以下のニッケル、鉄、コバルト、白金を有するシリコン半導体によって構成されたソースおよび/またはドレインを有することを特徴とする薄膜トランジスタ。

【請求項9】 チャネル領域はニッケル、鉄、コバルト、白金、パラジウムの添加された領域および結晶成長の終端領域を含まないこと特徴とする薄膜トランジスタ。
40

【請求項10】 ソース、ドレインと金属配線のコンタクト部の少なくとも一部は、ニッケル、鉄、コバルト、白金、パラジウムの添加された領域および結晶成長の終端領域以外の領域であること特徴とする薄膜トランジスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、薄膜状の絶縁ゲート型電界効果トランジスタ（薄膜トランジスタもしくはTFT）等の薄膜デバイスに用いられる結晶性半導体を得る方法に関するものである。

【0002】

【従来の技術】 従来、薄膜状の絶縁ゲート型電界効果トランジスタ（TFT）等の薄膜デバイスに用いられる結晶性シリコン半導体薄膜は、プラズマCVD法や熱CVD法で形成されたアモルファスシリコン膜を電気炉等の装置の中で600°C以上の温度で12時間以上の長時間にわたって結晶化させて作製された。特に十分な特性（高い電界効果移動度や高い信頼性）を得るためにより長時間の熱処理が求められていた。

【0003】

【発明が解決しようとする課題】 しかしながら、このような従来の方法は多くの課題を抱えていた。1つはスループットが低く、したがって、コストが高くなることである。例えば、この結晶化工程に24時間の時間を要するものとすると、基板1枚当たりの処理時間を2分とすれば720枚の基板を同時に処理しなければならなかつた。しかしながら、例えば、通常使用される管状がでは、一度に処理できる基板の枚数は50枚がせいぜいで、1つの装置（反応管）だけを使用した場合には1枚当たり30分も時間がかかってしまった。すなわち、1枚当たりの処理時間を2分とするには、反応管を15本も使用しなければならなかつた。このことは投資規模が拡大することと、その投資の減価償却が大きく、製品のコストに跳ね返ることを意味していた。

【0004】 もう1つの問題は、熱処理の温度であった。通常、TFTの作製に用いられる基板は石英ガラスのような純粋な酸化珪素からなるものと、コーニング社7059番（以下、コーニング7059という）のような無アルカリのホウ珪酸ガラスに大別される。このうち、前者は、耐熱性が優れており、通常の半導体集積回路のウェファープロセスと同じ取扱いができるため、温度に関しては何ら問題がない。しかしながら、そのコストが高く、基板面積の増加と共に指數関数的に急激に増大する。したがって、現在のところ、比較的小面積のTFT集積回路にのみ使用されている。

【0005】 一方、無アルカリガラスは、石英に比べればコストは十分に低いが、耐熱性の点で問題があり、一般に査み点が550～650°C程度、特に入手しやすい材料では600°C以下であるので、600°Cの熱処理では基板に不可逆的な収縮やソリという問題が生じた。特に基板が対角10インチを越えるような大きなものでは顕著であった。以上のような理由から、シリコン半導体膜の結晶化に関しては、550°C以下、4時間以内という熱処理条件がコスト削減に不可欠とされていた。本発明はこのような条件をクリアする半導体の作製方法および、そのような半導体を用いた半導体装置の作製方法を

提供することを目的とする。

【0006】

【課題を解決するための手段】本発明は、アモルファス状態、もしくは実質的にアモルファス状態と言えるような乱雑な結晶状態（例えば、結晶性のよい部分とアモルファスの部分が混在しているような状態）にあるシリコン膜の上もしくは下にニッケル、鉄、コバルト、白金、パラジウムを含有する島状の膜やドット、粒子、クラスター、線等を形成し、これを通常のアモルファスシリコンの結晶化温度よりも低い温度、もしくは基板のガラス転移点温度よりも低い温度でアニールすることによって結晶性シリコン膜を得ることを特徴とする。

【0007】従来のシリコン膜の結晶化に関しては、結晶性の島状の膜を核として、これを種結晶として固相エピタキシャル成長させる方法（例えば、特開平1-214110等）が提案されている。しかしながら、このような方法では、600°C以下の温度ではほとんど結晶成長が進行しなかった。シリコン系においては、一般にアモルファス状態から結晶状態に移行するには、アモルファス状態にある分子鎖を分断し、しかもその分断された分子が、再び他の分子と結合しないような状態としたうえで、何らかの結晶性の分子に合わせて、分子を結晶の一部に組み換えるという過程を経る。しかしながら、この過程のなかで、最初の分子鎖を分断して、他の分子と結合しない状態に保持するためのエネルギーが大きく、結晶化反応においてはここが障壁となっている。このエネルギーを与えるには、1000°C程度の温度で数分、もしくは600°C程度の温度では数10時間が必要であり、時間は温度（=エネルギー）に指數関数的に依存するので、600°C以下、例えば、550°Cでは、結晶化反応が進行することはほとんど観測できなかった。従来の固相エピタキシャル結晶化の考え方、この問題に対する解答を与えたものではなかった。

【0008】本発明人は、従来の固相結晶化の考え方とは全く別に、何らかの触媒作用によって、前記の過程の障壁エネルギーを低下させることを考えた。本発明人はニッケル(Ni)、鉄(Fe)、コバルト(Co)、白金(Pt)、パラジウム(Pd)がシリコンと結合しやすく、例えば、ニッケルの場合、容易に珪化ニッケル（化学式Ni_xSi_{1-x}、0.4≤x≤2.5）となり、かつ、珪化ニッケルの格子定数がシリコン結晶のものに近いことに着目した。そこで、結晶シリコン-珪化ニッケル-アモルファスシリコンという3元系のエネルギー等をシミュレーションした結果、アモルファスシリコンは珪化ニッケルとの界面で容易に反応して、

アモルファスシリコン（シリコンA）+珪化ニッケル（シリコンB）→珪化ニッケル（シリコンA）+結晶シリコン（シリコンB）

（シリコンA、Bはシリコンの位置を示す）

という反応が生じることが明らかになった。この反応の

ボテンシャル障壁は十分に低く、反応の温度も低い。この反応式は、ニッケルがアモルファスシリコンを結晶シリコンに造り変えながら進行してゆくことを示している。実際には、580°C以下で、反応が開始され、450°Cでも反応が観測されることが明らかになった。当然のことであるが、温度が高いほど反応の進行する速度が速い。また、同様な効果は、白金、鉄、コバルトでも認められた。

【0009】本発明では、島状、ストライブ状、線状、ドット状のニッケル、鉄、コバルト、白金、パラジウム単体やそれらの珪化物、酢酸塩、硝酸塩等のニッケル、鉄、コバルト、白金、パラジウムの少なくとも1つを含有する膜、粒子、クラスター等を出発点として、ここからニッケル、鉄、コバルト、白金、パラジウムが上記の反応に伴って周囲に展開してゆくことによって、結晶シリコンの領域を拡げてゆく。なお、ニッケル、鉄、コバルト、白金を含有する材料としては、酸化物は好ましくない。これは、酸化物は安定な化合物で、上記反応を開始することができないからである。

【0010】このように特定の場所から拡がった結晶シリコンは、従来の固相エピタキシャル成長とは異なるが、結晶性の連続性のよい、単結晶に近い構造を有するものであるので、TFT等の半導体素子に利用するうえでは都合がよい。基板上に均一にニッケル、鉄、コバルト、白金、パラジウムを含む材料を設けた場合には、結晶化の出発点が無数に存在して、そのため結晶性の良好な膜を得ることは難しかった。また、この結晶化の出発材料としてのアモルファスシリコン膜は水素濃度が少ないほど良好な結果が得られた。ただし、結晶化の進行にしたがって、水素が放出されるので、得られたシリコン膜中の水素濃度は、出発材料のアモルファスシリコン膜の水素濃度とはそれほど明確な相関は見られなかった。本発明による結晶シリコン中の水素濃度は、典型的には1×10¹⁴原子/cm³以上5原子%以下であった。

【0011】本発明ではニッケル、鉄、コバルト、白金、パラジウムを用いるが、これらの材料は半導体材料としてのシリコンにとっては好ましくない。そこで、過剰にシリコン膜中に含まれている場合には、これを除去することが必要であるが、ニッケルに関しては、上記の反応の結果、結晶化の終端に達した珪化ニッケルはフッ酸もしくは塩酸に容易に溶解するので、これらの酸による処理によって基板からニッケルを減らすことができる。さらに、積極的にニッケル、鉄、コバルト、白金、パラジウムを減らすには、結晶化工程の終了した後、塩化水素、各種塩化メタン（CH₃Cl、C₂H₅Cl、CH₂Cl₂、CHCl₃）、各種塩化エタン（C₂H₅Cl、C₃H₇Cl、C₄H₉Cl、C₅H₁₁Cl、C₆H₁₃Cl、C₇H₁₅Cl）あるいは各種塩化エチレン（C₂H₅Cl、C₃H₇Cl、C₄H₉Cl、C₅H₁₁Cl）等の塩素を含む空気気中で、400～650°Cで処理すればよい。特に、トリク

polyエチレン (C₂H₄)_n) は使用しやすい材料である。本発明によるシリコン膜中のニッケル、鉄、コバルト、白金の濃度は、 $1 \times 10^{11} \text{ cm}^{-3}$ ~ 1 原子%、より好ましくは $1 \times 10^{12} \text{ cm}^{-3}$ ~ $1 \times 10^{13} \text{ cm}^{-3}$ が好ましいとわかった。この範囲以下では結晶化が十分に進行せず、一方、この範囲を上回った場合には、特性、信頼性が劣化する。

【0012】膜状のニッケル、鉄、コバルト、白金、パラジウムを形成するには各種物理的、化学的手法を用いることができる。例えば、真空蒸着法、スパッタリング法、CVD法等の真空装置の必要な方法や、スピンドル法やディップ法(塗布法)、ドクターブレード法、スクリーン印刷法、スプレー熱分解法等の大気中でおこなえる方法である。特にスピンドル法やディップ法はさしたる設備も不要でありながら、膜厚の均一性に優れ、なおかつ、微妙な濃度調整が可能な手段である。これらの手段に用いる溶液としては、ニッケル、鉄、コバルト、白金、パラジウムの酢酸塩や硝酸塩、あるいは各種のカルボン酸塩、その他の有機酸塩を水や各種アルコール(低級や高級)、石油類(飽和炭化水素あるいは不飽和炭化水素)等に溶解あるいは拡散せしめたものを用いればよい。

【0013】しかしながら、この場合にはそれらの塩に含まれる酸素、炭素がシリコン膜中に拡散して半導体特性を劣化させることが懸念された。しかしながら、熱天秤法および示差熱分析法によって、研究を進めた結果、適当な材料においては450°C以下の温度において、酸化物あるいは単体にまで分解してしまい、その後、シリコン膜中にまで拡散することはほとんどないことが確認された。特に、酢酸塩や硝酸塩のように低次の物質を窒素雰囲気等の還元雰囲気下で加熱すると400°C以下で分解して、金属単体となった。同じく、酸素雰囲気で加熱すると、最初に酸化物が形成され、より高温で酸素が離脱して金属単体となることが観測された。

【0014】本発明によって作製した結晶シリコン膜をTFT等の半導体素子に利用する上で、上記の説明から明らかなように、結晶化の終端(ここは、複数の出発点から開始された結晶化がぶつかる部分であるが)では、大きな粒界(結晶性の不連続な部分)が存在し、また、ニッケル、鉄、コバルト、白金、パラジウム等の濃度が高いので、半導体素子を設けることは好ましくない。特に、TFTのチャネル領域は設けるべきではない。また、結晶化の開始される場所、すなわち、ニッケル、鉄、コバルト、白金、パラジウム等を有する物質が設けられた領域も、これらの元素の濃度が高いので半導体素子を形成する上では十分な注意が必要であり、また、これらの元素の含まれないシリコン膜と比較すると、一般にフッ酸系の溶液に対してエッチングされやすいので、コンタクトホール等を形成する場合には、コンタクト不良の原因となる。したがって、本発明を利用して半導体

素子を形成するにあたっては、結晶化の出発点となるニッケル、鉄、コバルト、白金、パラジウム等含有物被膜のパターンと半導体素子のパターンとを最適化しなければならない。以下に実施例を示し、より詳細に本発明を説明する。

【0015】

【実施例】

【実施例1】 本実施例は、コーニング7059ガラス基板上の島状の複数のニッケル膜を形成し、これらを出発点としてアモルファスシリコン膜の結晶化をおこない、得られた結晶シリコン膜を用いてTFTを作製する方法について記述する。島状のニッケル膜を形成する方法には、それをアモルファスシリコン膜の上に設けるか、下に設けるかという点で2つの方法がある。図2(A-1)は下に設ける方法であり、図2(A-2)は上に設ける方法である。特に後者について注意しなければならないことは、アモルファスシリコン膜の全面にニッケルが形成された後にこれを選択的にエッチングするという工程となるので、ニッケルとアモルファスシリコンが少量ではあるが反応して、珪化ニッケルが形成されてしまう。これを残存させたままでは、本発明が目的とするような良好な結晶性のシリコン膜は得られないで、塩酸やフッ酸等で、この珪化ニッケルを十分に除去してしまうことが求められる。また、そのため、アモルファスシリコンは初期より薄くなる。

【0016】一方、前者についてはそのような問題は生じないが、この場合もエッチングによって、島状部分以外のニッケル膜は完全に除去されることが望まれる。さらに、残存ニッケルの影響を抑えるためには、基板を酸素プラズマやオゾン等によって処理して、島状領域以外のニッケルを酸化させてしまえばよい。

【0017】いずれの場合も、基板(コーニング7059)1A上には、厚さ2000Åの下地酸化珪素膜1BをプラズマCVD法によって形成した。また、アモルファスシリコン膜1は厚さ200~3000Å、好ましくは500~1500Åとし、プラズマCVD法もしくは減圧CVD法によって作製した。アモルファスシリコン膜は350~450°Cで0.1~2時間アニールすることによって水素出しをおこなって、膜中の水素濃度を5原子%以下にしておくと結晶化しやすかった。図2(A-1)の場合には、アモルファスシリコン膜1の形成の前にスパッタ法によってニッケル膜を厚さ50~100Å、好ましくは100~500Å堆積し、これをバーニングして島状ニッケル領域2を形成した。

【0018】一方、図2(A-2)の場合には、アモルファスシリコン膜1の形成の後にスパッタ法によってニッケル膜を厚さ50~1000Å、好ましくは100~500Å堆積し、これをバーニングして島状ニッケル領域2を形成した。この様子を上方から見た図面を図1(A)に示す。

【0019】島状ニッケルは一辺 $2\text{ }\mu\text{m}$ の正方形で、その間隔は、 $5\sim50\text{ }\mu\text{m}$ 、例えば $20\text{ }\mu\text{m}$ とした。ニッケルの代わりに珪化ニッケルを用いても同様な効果が得られる。また、ニッケルの成膜時には基板を $100\sim500^\circ\text{C}$ 、好ましくは $180\sim250^\circ\text{C}$ に加熱しておくと良好な結果が得られた。これは下地の酸化珪素膜とニッケル膜とも密着性が向上することと、酸化珪素とニッケルが反応して、珪化ニッケルが生成するためである。酸化珪素のかわりに空化珪素、炭化珪素、珪素を用いても同様な効果が得られる。

【0020】次に、これを $450\sim650^\circ\text{C}$ 、例えば 550°C で8時間空素雰囲気中でアニールした。図2

(B) は、その中間状態で、図2 (A)において、端のほうにあった島状ニッケル膜からニッケルが珪化ニッケル3 Aとして中央部に進行し、また、ニッケルが通過した部分3は結晶シリコンとなっている。やがて、図2 (C) に示すように2つの島状ニッケル膜から出発した結晶化がぶつかって、中間に珪化ニッケル3 Aが残つて、結晶化が終了する。

【0021】図1 (B) は、この状態の基板を上方から見た様子を示したもので、図2 (C) の珪化ニッケル3 Aとは、粒界4のことである。さらにアニールを統ければ、ニッケルは粒界4に沿って移動して、これらの島状ニッケル領域（この段階では原形を留めていることはないか）の中間領域5に集まる。

【0022】以上の工程で結晶シリコンを得ることができるが、このときに生じる珪化ニッケル3 Aからニッケルが半導体被膜中に拡散することは好ましくない。したがって、フッ酸もしくは塩酸でエッチングすることが望まれる。なお、フッ酸、塩酸ともシリコン膜には影響を与えない。エッチングした様子を図2 (D) に示す。粒界のあった部分は溝4 Aとなる。この溝を挟むようにTFTの半導体領域（活性層等）を形成することは好ましくない。TFTの配置に関しては、その例を図1 (C) に示すが、半導体領域6は粒界4を横切らないように配置した。一方、ゲート配線7は粒界4を横切ってよい。

【0023】以上の工程で得られた結晶シリコンを用いてTFTを作製する例を図3および図4に示す。図3 (A)において、中央部のXは、図2の溝4 Aのあった場所を意味する。図面に示すように、このXの部分にはTFTの半導体領域が横切らないように配置した。すなわち、図2に示した工程で得られた結晶シリコン膜3をバーニングして、島状半導体領域11 a、11 bを形成した。そして、RFプラズマCVD法、ECRプラズマCVD法、スパッタリング法等の方法によってゲート絶縁膜として機能する酸化珪素膜12を形成した。プラズマCVD法を採用する場合には、原料ガスはTEOS（テトラ・エトキシ・シラン）と酸素を用いると好ましい結果が得られた。そして、1%のシリコンを含むアルミニウム膜（厚さ $500\text{ }\text{\AA}$ ）をスパッタ法によって堆積し、これをバーニングしてゲート配線・電極23 a、23 bを形成した。

【0024】さらに、減圧CVD法によって、燐が $1\times10^{-6}\sim5\times10^{-6}\text{ cm}^{-3}$ ドープされた厚さ $3000\sim6000\text{ }\text{\AA}$ の多結晶シリコン膜を形成し、これをバター

ニングして、ゲート電極13 a、13 bを形成した。

(図3 (A))

【0025】次に、プラズマドーピング法によって不純物ドープをおこなった。ドーピングガスとしては、例えば、N型にはフォスフィン（PH₃）を、P型にはジボラン（B₂H₆）を用いた。図ではN型TFTを示す。加速電圧は、フォスフィンは 80 keV 、ジボランは 65 keV とした。さらに 550°C で4時間アニールすることによって、不純物の活性化をおこない、不純物領域14 a～14 dを形成した。活性化にはレーザーアニールもしくはフラッシュランプアニールのような光エネルギーを使用する方法も用いることができる。（図3 (B)）

【0026】最後に、通常のTFT作製と同様に層間絶縁物15として、厚さ $5000\text{ }\text{\AA}$ の酸化珪素膜を堆積し、これにコンタクトホールを形成してソース領域、ドレイン領域に配線・電極16 a～16 dを形成した。

(図3 (C)) 以上の工程によってTFT（図ではNチャネル型）が作製された。得られたTFTの電界効果移動度はNチャネル型で $40\sim60\text{ cm}^2/\text{Vs}$ 、Pチャネル型で $30\sim50\text{ cm}^2/\text{Vs}$ であった。

【0027】図4には、アルミニウムゲートのTFT作製をおこなった場合を示す。図4 (A)において、中央部のXは、図2の溝4 Aのあった場所を意味する。図面に示すように、このXの部分にはTFTの半導体領域が横切らないように配置した。すなわち、図2に示した工程で得られた結晶シリコン膜3をバーニングして、島状半導体領域11 a、11 bを形成した。そして、RFプラズマCVD法、ECRプラズマCVD法、スパッタリング法等の方法によってゲート絶縁膜として機能する酸化珪素膜12を形成した。プラズマCVD法を採用する場合には、原料ガスはTEOS（テトラ・エトキシ・シラン）と酸素を用いると好ましい結果が得られた。そして、1%のシリコンを含むアルミニウム膜（厚さ $500\text{ }\text{\AA}$ ）をスパッタ法によって堆積し、これをバーニングしてゲート配線・電極23 a、23 bを形成した。

【0028】次に、基板を3%の酒石酸のエチレングリコール溶液に没し、白金を陰極として、アルミニウム配線を陽極とし、これに電流を流して陽極酸化をおこなった。電流は最初は、 $2\text{ V}/\text{分}$ で電圧が上昇するように印加し、 220 V に達したところで電圧を一定とし、電流が $10\text{ }\mu\text{A}/\text{m}^2$ 以下になったところで電流を停止した。この結果、厚さ $2000\text{ }\text{\AA}$ の陽極酸化物24 a、24 bが形成された。（図4 (A)）

【0029】次に、プラズマドーピング法によって不純物ドープをおこなった。ドーピングガスとしては、N型にはフォスフィン（PH₃）を、P型にはジボラン（B₂H₆）を用いた。図にはNチャネル型TFTを示す。加速電圧は、フォスフィンは 80 keV 、ジボランは 65 keV とした。さらにこれをレーザーアニールするこ

とによって、不純物の活性化をおこない、不純物領域25a～25dを形成した。使用したレーザーは、Krfレーザー(波長248nm)で、250～300mJ/cm²のエネルギー密度のレーザー光を5ショット照射した。(図4(B))

【0030】最後に、通常のTFT作製と同様に層間絶縁物26として、厚さ5000Åの酸化珪素膜を堆積し、これにコンタクトホールを形成してソース領域、ドレイン領域に配線・電極27a～27dを形成した。

(図4(C))得られたTFTの電界効果移動度はNチャネル型で60～120cm²/Vs、Pチャネル型で50～90cm²/Vsであった。また、このTFTを用いて作製されたシフトレジスタではドレイン電圧17Vで6MHz、20Vで11MHzでの動作が確認された。

【0031】〔実施例2〕図5には、図4と同様にアルミニウムゲートのTFT作製をおこなった場合を示す。ただし、ここではアモルファスシリコンを活性層として用いた。図5(A)に示すように、基板31上に下地酸化珪素膜32を堆積し、さらに厚さ2000～3000Åのアモルファスシリコン膜33を堆積した。アモルファスシリコン膜には適當な量のP型もしくはN型不純物を混入させておいてよい。そして、上記に示したように島状のニッケルもしくは珪化ニッケル被膜34A、34Bを形成し、この状態で550℃、4時間アニールすることによってアモルファスシリコン膜を結晶化させた。

【0032】次に、このようにして得られた結晶シリコン膜を図5(B)に示すようにバーニングした。このとき、図の中央部(ニッケルもしくは珪化ニッケル被膜34A、34Bの中間部)のシリコン膜にはニッケルが多量に含まれているので、これを除くようにバーニングして、島状シリコン領域35A、35Bを形成した。

さらに、その上に実質真性なアモルファスシリコン膜36を堆積した。その後、図5(C)に示すようにゲート絶縁膜37として窒化珪素、酸化珪素等の材料で被膜を形成し、ゲート電極38をアルミニウムによって形成し、図4の場合と同様に陽極酸化をおこない、イオンドーピング法によって不純物を拡散させて不純物領域39A、39Bを形成する。さらに、層間絶縁物40を堆積し、コンタクトホールを形成し、金属電極41A、41Bをソース、ドレインに形成してTFTが完成する。このTFTでは活性層の厚さに比べて、ソース、ドレインの部分の半導体膜が厚く、また、抵抗率が小さいことが特徴で、この結果、ソース、ドレイン領域の抵抗が減少し、TFTの特性が向上する。また、コンタクトの形成も容易である。

【0033】〔実施例3〕図6には、CMOS型のTFT作製をおこなった場合を示す。図6(A)に示すように、基板51上に下地酸化珪素膜52を堆積し、さら

に厚さ1000～1500Åのアモルファスシリコン膜53を堆積した。そして、上記に示したように島状のニッケルもしくは珪化ニッケル被膜54を形成し、この状態で550℃でアニールする。この工程によって、珪化シリコン領域55が成長し、結晶化が進行する。4時間のアニールによって、図6(B)に示すように、アモルファスシリコン膜は結晶シリコンに変化する。また、結晶化の進行によって珪化シリコン59A、59Bは端に追いやられる。

【0034】次に、このようにして得られた結晶シリコン膜を図6(B)に示すようにバーニングして島状シリコン領域56を形成した。このとき、島状領域の両端はニッケルの濃度が大きいことに注意すべきである。島状シリコン領域形成後、ゲート絶縁膜57、ゲート電極58A、58Bを形成した。

【0035】その後、図5(C)に示すように、イオンドーピング法によって不純物を拡散させてN型の不純物領域60AとP型の不純物領域60Bを形成する。この際には、例えば、N型不純物として燐(ドーピングガスはフォスフィンPH₃)を用い、60～110kVの加速電圧で全面にドーピングをおこない、次に、フォトマスクでNチャネル型TFTの領域を覆って、P型不純物、例えばホウ素(ドーピングガスはジボランB₂H₆)を用い、40～80kVの加速電圧でドーピングすればよい。

【0036】ドーピング終了後、図4の場合と同様にレーザー光の照射によって、ソース、ドレインの活性化をおこない、さらに、層間絶縁物61を堆積し、コンタクトホールを形成し、金属電極62A、62B、62Cをソース、ドレインに形成してTFTが完成する。

【0037】〔実施例4〕本実施例は、実施例3の工程において、550℃、4時間の加熱による結晶化工程の後に、さらにレーザー光を照射し、結晶シリコン膜の結晶性をさらに向上させる構成に関する。図7に本実施例のCMOS型のTFTの作製工程を示す。まず図7

(A)に示すように、基板51上に下地酸化珪素膜52をスパッタ法により2000Åの厚さに堆積した。さらに厚さ1000～1500Åのアモルファスシリコン膜53をプラズマCVD法で堆積した。そして、島状のニッケルもしくは珪化ニッケル被膜54を形成した。

【0038】そして窒素雰囲気中において550℃、4時間のアニールを行なった。この工程によって、珪化シリコン領域55が成長し、結晶化が進行する。次に、このようにして得られた結晶シリコン膜を図7(B)に示すようにバーニングして島状シリコン領域56を形成した。

【0039】さらにKrfエキシマレーザー光(波長248nm、パルス幅20nsec)71を照射した。照射条件は、250mJ/cm²で2ショットとした。照射パワーとしては、膜厚、基板温度、等の条件を考慮して

11

200~400 mJ/cm² とすればよい。また、レーザー光としては、NeC+レーザー（波長308 nm）、ArFレーザー（波長193 nm）等も用いることができる。

【0040】また、レーザー光の照射と同等の効果を得ることのできる強光を照射するのでもよい。特に赤外光の照射によるRTA（ラビット・サーマル・アニール）は、シリコンに赤外光を選択的に吸収させることができるので、効果的なアニールを行なうことができる。なお、バターニング工程の前にレーザー光の照射を行なうのでもよい。以上のようにして結晶性の良好なシリコン膜を得ることができる。このような処理を施した結果、熱アニールによって結晶化していたシリコン膜53はより結晶性の良好なシリコン膜となった。一方、結晶化していない領域（図示せず）においてもレーザー照射の結果、多結晶性の膜が得られ、膜の変質が観測されたが、結晶性は良くないことがラマン分光法によって明らかになった。また、透過型電子顕微鏡による観察では結晶化しないままレーザーが照射され、結晶化した膜は小さな結晶が無数に形成されているのに対し、本発明によって、結晶化した後、レーザー照射された膜53は結晶の方向のそろった比較的大きな結晶が観察された。

【0041】その後、シリコンを主成分とするゲート電極58A、58Bを形成した。そして図7（C）に示すように、イオンドーピング法によって不純物を拡散させてN型の不純物領域60AとP型の不純物領域60Bを形成した。この際には、例えば、N型不純物として燐（ドーピングガスはフォスフィンPH₃）を用い、60~110 kVの加速電圧で全面にドーピングをおこない、次に、フォトレジストでNチャネル型TFTの領域を覆って、P型不純物、例えばホウ素（ドーピングガスはジボランB₂H₆）を用い、40~80 kVの加速電圧でドーピングすればよい。

【0042】ドーピング終了後、レーザー光の照射によって、ソース、ドレインの活性化を行い、さらに層間絶縁物61を堆積し、コンタクトホールを形成し、金属電極62A、62B、62Cをソース、ドレインに形成してTFTが完成する。本実施例で示したように、結晶化を助長する触媒元素を導入することにより、550°C、4時間程度の低温短時間の結晶化工程とレーザー光の照射によるアニール工程とを併用することにより、結晶性の良好な結晶シリコン膜を得ることができる。そしてこのような結晶シリコン膜を用いてTFTを作製することにより、高性能なTFTを得ることができる。すなわち、実験例1によって得られたNチャネル型TFTでは、電界効果移動度（モビリティ）は、4.1~5.1 cm²/V·s（シリコンゲート型、高k柵）であるが、6.0~12.0 cm²/V·s（アルミニウムゲート型、図4参照）。しきい値電圧は3~8 Vであったが、本実施例で得られたNチャネル型TFTのモビリティは1.9~5.0

12

200 cm²/V·s、しきい値電圧は0.5~1.5 Vであり、モビリティが大幅に向上了こと、しきい値電圧のばらつきが減少したことが注目される。

【0043】このような特性は従来は、アモルファスシリコン膜のレーザー結晶化によってのみ可能であったが、従来のレーザー結晶化では、得られるシリコン膜の特性のばらつきが大きく、また、結晶化には400°C以上の温度で、350 mJ/cm²以上の高いレーザーエネルギーの照射が必要であり、量産性に問題があった。この点、本実施例では、基板温度、エネルギー密度ともそれより小さい値で十分であるため、量産性に関しては問題がなかった。さらに、ばらつきは従来の熱アニールによる固相成長結晶化法と同程度であるため、得られるTFTも特性の揃ったものであった。

【0044】なお、本発明ではNiの濃度が低いとシリコン膜の結晶化が不十分であり、TFTの特性が良くなかった。しかしながら、本実施例では仮にシリコン膜の結晶性が不十分であっても、その後のレーザー照射によってそれを補うことができるので、Niの濃度が低くともTFTの特性が低下することはなかった。このため、デバイスの活性層領域におけるニッケル濃度をさらに低くすることができ、デバイスの電気的安定性や信頼性の上から極めて好ましい構成とすることができる。

【0045】〔実施例5〕 本実施例は、アモルファスシリコンの結晶化を助長する触媒元素を溶液に含有させ、この溶液をアモルファスシリコン膜上に塗布することにより、触媒元素をアモルファスシリコン膜に導入する構成に関する。さらに本実施例は、触媒元素を選択的に導入し、該導入領域より触媒元素が導入されなかつた領域へと結晶成長を行なわすことにより、触媒元素の濃度が少ない結晶性シリコン膜を得る方法に関する。

【0046】図8に本実施例の作製工程の概略を示す。また図8において、図2と同符号の部分は図2と同一箇所を示す。まず、ガラス基板（コーニング7059、1.0 cm角）上に下地の酸化珪素膜1Bを2000 Åの厚さにスパッタ法で形成し、さらにプラズマCVD法によりアモルファスシリコン膜1を1000 Åの厚さに成膜した。次にマスクとなる酸化珪素膜80を2000 Åの厚さに成膜した。この酸化珪素膜80の膜厚については、発明者等の実験によると500 Åでも問題がないことを確認しており、膜質が緻密であれば更に薄くても良いと思われる。

【0047】そして通常のフォトリソバターニング工程によって、必要とするパターンに酸化珪素膜80をバターニングした。そして、酸素雰囲気中における炬火（素引火）焼成（アモルファスシリコン膜1の表面に成膜した）した。この酸化珪素膜82の作製は、酸素雰囲気中で350 W光を5分間照射することによって行われる。なおこの酸化珪素膜82の厚さは2.0~5.0 nm程度と考えられる。（図8（a））。

11

200~400 mJ/cm² とすればよい。また、レーザー光としては、NeCレーザー（波長308 nm）、ArFレーザー（波長193 nm）等も用いることができる。

【0040】また、レーザー光の照射と同等の効果を得ることのできる強光を照射するのでもよい。特に赤外光の照射によるR_↑A（ラビット・サーマル・アニール）は、シリコンに赤外光を選択的に吸収させることができるので、効果的なアニールを行なうことができる。なお、バーニング工程の前にレーザー光の照射を行なうのでもよい。以上のようにして結晶性の良好なシリコン膜を得ることができる。このような処理を施した結果、熱アニールによって結晶化していたシリコン膜53はより結晶性の良好なシリコン膜となった。一方、結晶化していない領域（図示せず）においてもレーザー照射の結果、多結晶性の膜が得られ、膜の変質が観測されたが、結晶性は良くないことがラマン分光法によって明らかになった。また、透過型電子顕微鏡による観察では結晶化しないままレーザーが照射され、結晶化した膜は小さな結晶が無数に形成されているのに対し、本発明によって、結晶化した後、レーザー照射された膜53は結晶の方向のそろった比較的大きな結晶が観察された。

【0041】その後、シリコンを主成分とするゲート電極58A、58Bを形成した。そして図7(C)に示すように、イオンドーピング法によって不純物を拡散させてN型の不純物領域60AとP型の不純物領域60Bを形成した。この際には、例えば、N型不純物として燐(ドーピングガスはフォスフィンPH₃)を用い、60~110 kVの加速電圧で全面にドーピングをおこない、次に、フォトレジストでNチャネル型TFTの領域を覆って、P型不純物、例えばホウ素(ドーピングガスはジボランB、H₂)を用い、40~80 kVの加速電圧でドーピングすればよい。

【0042】ドーピング終了後、レーザー光の照射によって、ソース、ドレインの活性化を行い、さらに層間絶縁物61を堆積し、コンタクトホールを形成し、金属電極62A、62B、62Cをソース、ドレインに形成してTFTが完成する。本実施例で示したように、結晶化を助長する触媒元素を導入することにより、550°C、4時間程度の低温短時間の結晶化工程とレーザー光の照射によるアニール工程とを併用することにより、結晶性の良好な結晶シリコン膜を得ることができる。そしてこのような結晶シリコン膜を用いてTFTを作製することにより、高性能なTFTを得ることができる。すなわち、実施例1によって得られたNチャネル型TFTでは、電界効果移動度(モビリティ)は、40~60 cm²/Vs(シリコンゲート型、図3参照)、あるいは60~120 cm²/Vs(アルミゲート型、図4参照)、しきい値電圧は3~8 Vであったが、本実施例で得られたNチャネル型TFTのモビリティは150~

10
20
30

12

200 cm²/Vs、しきい値電圧は0.5~1.5 Vであり、モビリティが大幅に向上了こと、しきい値電圧のばらつきが減少したことが注目される。

【0043】このような特性は従来は、アモルファシリコン膜のレーザー結晶化によってのみ可能であったが、従来のレーザー結晶化では、得られるシリコン膜の特性のばらつきが大きく、また、結晶化には400°C以上の温度で、350 mJ/cm²以上の高いレーザーエネルギーの照射が必要であり、量産性に問題があった。この点、本実施例では、基板温度、エネルギー密度ともそれより小さい値で十分であるため、量産性に関しては問題がなかった。さらに、ばらつきは従来の熱アニールによる固相成長結晶化法と同程度であるため、得られるTFTも特性の揃つたものであった。

【0044】なお、本発明ではNiの濃度が低いとシリコン膜の結晶化が不十分であり、TFTの特性が良くなかった。しかしながら、本実施例では仮にシリコン膜の結晶性が不十分であっても、その後のレーザー照射によってそれを補うことができるので、Niの濃度が低くともTFTの特性が低下することはなかった。このため、デバイスの活性層領域におけるニッケル濃度をさらに低くすることができ、デバイスの電気的安定性や信頼性の上から極めて好ましい構成とすることができます。

【0045】【実施例5】 本実施例は、アモルファシリコンの結晶化を助長する触媒元素を溶液に含有させ、この溶液をアモルファシリコン膜上に塗布することにより、触媒元素をアモルファシリコン膜に導入する構成に関する。さらに本実施例は、触媒元素を選択的に導入し、該導入領域より触媒元素が導入されなかつた領域へと結晶成長を行なわすことにより、触媒元素の濃度が少ない結晶性シリコン膜を得る方法に関する。

【0046】図8に本実施例の作製工程の概略を示す。また図8において、図2と同符号の部分は図2と同一箇所を示す。まず、ガラス基板(コーニング7059、10cm角)上に下地の酸化珪素膜1Bを2000Åの厚さにスパッタ法で形成し、さらにプラズマCVD法によりアモルファシリコン膜1を1000Åの厚さに成膜した。次にマスクとなる酸化珪素膜80を2000Åの厚さに成膜した。この酸化珪素膜80の膜厚については、発明者等の実験によると500Åでも問題がないことを確認しており、膜質が緻密であれば更に薄くても良いと思われる。

【0047】そして通常のフォトリソバーニング工程によって、必要とするパターンに酸化珪素膜80をバーニングした。そして、酸素雰囲気中における紫外線の照射で薄い酸化珪素膜82を露呈したアモルファシリコン膜1の表面に成膜した。この酸化珪素膜82の作製は、酸素雰囲気中でUV光を5分間照射することによって行なわれる。なおこの酸化珪素膜82の厚さは20~50Å程度と考えられる。(図8(A))

50

【0048】この酸化珪素膜は、後の工程において塗布される溶液の濡れ性を良くするためのものである。この状態において、酢酸塩溶液中にニッケルを100 ppm(重量換算)添加した酢酸塩溶液を5ml滴下(10cm角基板の場合)した。またこの際、スピナー84で50 rpmで10秒のスピンドルコートを行い、基板表面全体に均一な水膜83を形成させた。さらにこの状態で5分間保持した後スピナー84を用いて2000 rpm、60秒のスピンドルドライを行った。なおこの保持は、スピナー上において0~150 rpmの回転をさせながら行なつてもよい。(図8 (A))

【0049】上記工程によって、85で示される領域にニッケルが導入されることになる。そして300~500度の温度で加熱処理を行い、85で示す領域の表面に珪化ニッケルを生成させた。次にマスクである酸化珪素膜80を取り除き、550度(空素雰囲気)、4時間の加熱処理を施すことにより、アモルファスシリコン膜80の結晶化を行った。この際、ニッケルが導入された領域85からニッケルが導入された領域へと横方向(基板に平行な方向)に結晶成長が行われる。勿論ニッケルが直接導入された領域においても結晶化が行なわれる。

【0050】ここでは、熱処理を加えて85で示す領域の表面に珪化ニッケル膜を生成させ、その後に酸化珪素膜80を取り除いたが、酸化珪素膜80を取り除かずには、550度、4時間の加熱処理を行い、結晶化をさせる場合は、珪化ニッケル膜を生成させる工程を行わなくてよい。この場合は、結晶化工程の後に酸化珪素膜80を取り除けばよい。

【0051】図8 (B) に示すのは、結晶化が進行する中間状態を示す。これは、端のほうに導入されたニッケルが珪化ニッケル3Åとして中央部に進行し、また、ニッケルが通過した部分3は結晶シリコンとなっている状態を示す。さらに結晶化が進行すると、図8 (C) に示すように2つのニッケルが導入された領域85から出発した結晶化がぶつかって、中間に珪化ニッケル3Åが残って、結晶化が終了する。

【0052】以上の工程で結晶シリコンを得ることができると、このときに生じる珪化ニッケル3Åからニッケルが半導体被膜中に拡散することは好ましくない。そこで、フッ酸もしくは塩酸で、3Åの領域をエッチングした。エッチングした様子を図8 (D) に示す。粒界のあった部分は溝1Åとなる。

【0053】図8 (C) において、領域86が領域85から横方向に結晶化が行われた領域である。この86で示される領域のニッケル濃度を図9に示す。図9に示すのは、SIMSで結晶化工程が終了した結晶シリコン膜の86で示される領域の深さ方向のニッケル濃度分布を計測したものである。またニッケルが直接導入された領域85におけるニッケルの濃度は図9に示す濃度分布よ

りさらに1桁以上高い値を示すことが確認されている。このようにして得られた結晶性シリコン膜を用いて、実施例1と同様な方法でTFTを作製した。

【0054】なお、このようにして得られた結晶性シリコン膜に実施例4のようにレーザーもしくはそれと同等な強光の照射によって、結晶性をさらに改善せしめることは有効である。実施例4においてはシリコン膜中のニッケル濃度が比較的高かったために、レーザー照射によって、シリコン膜中のニッケルが析出して0.1~1.0 nm程度の珪化ニッケルの粒がシリコン膜内に形成され、膜のモフォロジーが悪化した。しかしながら、本実施例では、実施例1および2よりもはるかにニッケルの濃度を低減せしめることが可能であるため、珪化ニッケルの析出はなく、レーザー照射によって膜が荒れることも防げた。

【0055】図9に示されるニッケル濃度は、溶液中のニッケル濃度を制御することによって、制御することができる。本実施例においては、溶液中のニッケル濃度を100 ppmとしたが、これを10 ppmとしても結晶化が可能なことが判明している。この場合、図9で示される図8の領域86のニッケル濃度をさらに1桁下げることができる。しかしながら、溶液中のニッケル濃度を少なくすると、横方向への結晶成長距離が短くなるという問題がある。

【0056】以上のようにして結晶化が行なわれた結晶シリコン膜はそのままTFTの活性層に利用することができる。特に86で示される領域を用いてTFTの活性層を形成することはその触媒元素濃度の低いことから極めて有用である。本実施例においては、触媒元素を含ませた溶液として、酢酸塩溶液を用いたが、広く水溶液、有機溶媒溶液等を用いることができる。ここで触媒元素は化合物として含まれていなくても単に分散させることにより含ませるのでよい。

【0057】触媒元素を含ませる溶媒としては、極性溶媒である水、アルコール、酸、アンモニアから選ばれたものを用いることができる。触媒としてニッケルを用い、このニッケルを極性溶媒に含ませる場合、ニッケルはニッケル化合物として導入される。このニッケル化合物としては、代表的には臭化ニッケル、酢酸ニッケル、草酸ニッケル、炭酸ニッケル、塩化ニッケル、沃化ニッケル、硝酸ニッケル、硫酸ニッケル、蟻酸ニッケル、ニッケルアセチルアセトネート、4-シクロヘキシル醋酸ニッケル、酸化ニッケル、水酸化ニッケルから選ばれたものが用いられる。

【0058】また溶媒としては、無極性溶媒であるベンゼン、トルエン、キシレン、四塩化炭素、クロロホルム、エーテルから選ばれたものを用いることができる。この場合はニッケルはニッケル化合物として導入される。このニッケル化合物としては代表的には、ニッケルアセチルアセトネート、2-エチルヘキサン酸ニッケル

から選ばれたものを用いることができる。

【0059】また触媒元素を含有させた溶液に界面活性剤を添加することも有用である。これは、被塗布面に対する密着性を高め吸着性を制御するためである。この界面活性剤は予め被塗布面上に塗布するのでもよい。また触媒元素としてニッケル単体を用いる場合には、酸に溶かして溶液とする必要がある。

【0060】以上述べたのは、触媒元素であるニッケルが完全に溶解した溶液を用いる例であるが、ニッケルが完全に溶解していないとも、ニッケル単体あるいはニッケルの化合物からなる粉末が分散媒中に均一に分散したエマルジョンの如き材料を用いてもよい。または酸化膜形成用の溶液を用いるのもよい。このような溶液としては、東京応化工業株式会社のOCD(Ohka Diffusion Source)を用いることができる。このOCD溶液を用いれば、被形成面上に塗布し、200°C程度でペークすることで、簡単に酸化珪素膜を形成できる。また不純物を添加することも自由であるので、利用することができる。

【0061】なおこれらのこととは、触媒元素としてニッケル以外の材料を用いた場合であっても同様である。また、溶液として2-エチルヘキサン酸ニッケルのトルエン溶液の如き無極性溶媒を用いることで、非晶質珪素膜表面に直接塗布することができる。この場合にはレジスト塗布の際に使用されている密着剤の如き材料を予め塗布することは有効である。しかし塗布量が多過ぎる場合には逆に非晶質珪素中への触媒元素の添加を妨害してしまうために注意が必要である。

【0062】溶液に含ませる触媒元素の量は、その溶液の種類にも依存するが、概略の傾向としてはニッケル量として溶液に対して200 ppm~1 ppm、好ましくは50 ppm~1 ppm(重量換算)とすることが望ましい。これは、結晶化終了後における膜中のニッケル濃度や耐フッ酸性に鑑みて決められる値である。なお本実施例においては、アモルファスシリコン膜の上表面に触媒元素を含有した溶液を塗布する例を示したが、アモルファスシリコン膜の成膜前に下地膜上に触媒元素を含有した溶液を塗布するのでもよい。

【0063】【実施例6】 本実施例は、本発明を用いてTFTを作製する際の触媒元素の添加領域と結晶化領域、およびTFTの活性層(チャネル領域)、コンタクトホールの位置関係に関する。以下には、マクティブマトリクスの画素部分を例にして説明する。図10に本実施例のTFTの作製工程を示す。まず図10(A)に示すように、基板91上に下地酸化珪素膜92をスパッタ法により2000Åの厚さに堆積した。さらに厚さ300~1500Å、例えば、800Åのアモルファスシリコン膜93をプラズマCVD法で堆積した。そして、厚さ200~2000Å、例えば、300Åの酸化珪素膜94を形成し、これに孔96a、96bを形成して、こ

れをマスクとした。そして、スパッタ法もしくは実施例5のごときスピンドル法によって、極めて薄いニッケル膜もしくはニッケル化合物膜95を全面に形成した。

【0064】そして窒素雰囲気中において550°C、4時間のアニールを行なった。この工程によって、アモルファスシリコン膜は孔96a、96bの直下の部分97a、97bが珪化物となり、そこから結晶化が進行しシリコン領域98a、98bが成長した。その先端部分はニッケル濃度の高い領域99a、99bであった。(図10(B)) 十分に結晶化が進行した状態では孔96aと96bから進行した結晶化がその中間で衝突し、この状態で結晶化が停止した。結晶化の衝突した部分にはニッケルの濃度の高い領域99aが残された。この状態で、さらに実施例4のようにエキシマレーザー等によつて光アニールをおこなってもよい。(図10(C)) 次に、このようにして得られた結晶シリコン膜を図10(D)に示すようにバーニングして島状シリコン領域100を形成した。シリコン領域100の中にはニッケル濃度の高い領域97aの一部と99cが残されている。さらに、プラズマCVD法によって厚さ700~2000Å、例えば、1200Åの酸化珪素膜101を形成し、これをゲート絶縁膜とした。(図10(D))

【0065】その後、実施例1と同じ手段を用いて、アルミニウムによってゲート電極102を形成した。ゲート電極の周囲には厚さ1000~5000Åの陽極酸化膜103を形成した。そして、イオンドーピング法によって不純物を拡散させてN型の不純物領域104、105を形成した。この際には、図にも示したように、ニッケル濃度の高い領域97a、99cがゲート電極の直下の部分(チャネル領域)に位置しないよう、ゲート電極の位置を決定しなければならない。(図10(E))

【0066】ドーピング終了後、レーザー光の照射によって、ソース、ドレインの活性化を行い、さらに肩間絶縁物106を堆積し、スパッタ法によって、厚さ500~1500Å、例えば800Åの透明導電体被膜を形成し、これをバーニング・エッティングすることによって画素電極107を形成した。さらに、肩間絶縁物106にコンタクトホールを形成し、金属電極108、109をTFTのソース、ドレインに形成してTFTが完成した。コンタクトホールの形成の際には、コンタクトホールをニッケル濃度の高い領域97a、99cを避けて形成することが望ましい。このためには、コンタクトホールはニッケル添加のための孔96a、96bと極力重ならないように設計すればよい。このような設計をおこなうのは、ニッケルの濃度の高い領域ではフッ化水素系の溶液に対して、ニッケルを有しないシリコン膜に比較してエッティングされやすく、コンタクトホールの形成の際に、シリコン膜がオーバーエッチされてしまい、コンタクト不良を生じやすいからである。図では、左側のコンタクトはニッケル濃度の高い領域97aと一部、重なつ

ているが、電極のうち、少なくとも一部は、ニッケルの添加された領域でない領域とコンタクトしていることが望ましい。

【0067】

【発明の効果】以上、述べたように、本発明はアモルファスシリコン結晶化の低温化、短時間化を促進するという意味で画期的なものであり、また、そのための設備、装置、手法は極めて一般的で、かつ量産性に優れたものであるので、産業にもたらす利益は絶りしえないのである。

【0068】例えば、従来の固相成長法においては、少なくとも24時間のアニールが必要とされたために、1枚当たりの基板処理時間を2分とすれば、アニール炉は15本も必要とされたのであるが、本発明によって、4時間以内に短縮することができたので、アニール炉の数を1/6以下に削減することができる。このことによる生産性の向上、設備投資額の削減は、基板処理コストの低下につながり、ひいてはTFT価格の低下とそれによる新規需要の喚起につながるものである。このように本発明は工業上、有益であり、特許されるにふさわしいものである。

【図面の簡単な説明】

【図1】 実施例の工程の上面図を示す。(結晶化とTFTの配置)

【図2】 実施例の工程の断面図を示す。(選択的に

結晶化する工程)

【図3】 実施例の工程の断面図を示す。(実施例1参照)

【図4】 実施例の工程の断面図を示す。(実施例1参照)

【図5】 実施例の工程の断面図を示す。(実施例2参照)

【図6】 実施例の工程の断面図を示す。(実施例3参照)

10 【図7】 実施例の工程の断面図を示す。(実施例4参照)

【図8】 実施例の工程の断面図を示す。(実施例5参照)

【図9】 結晶シリコン膜中のニッケル濃度を示す。(実施例5参照)

【図10】 実施例の工程の断面図を示す。(実施例6参照)

【符号の説明】

1 ... アモルファスシリコン

2 ... 島状ニッケル膜

3 ... 結晶シリコン

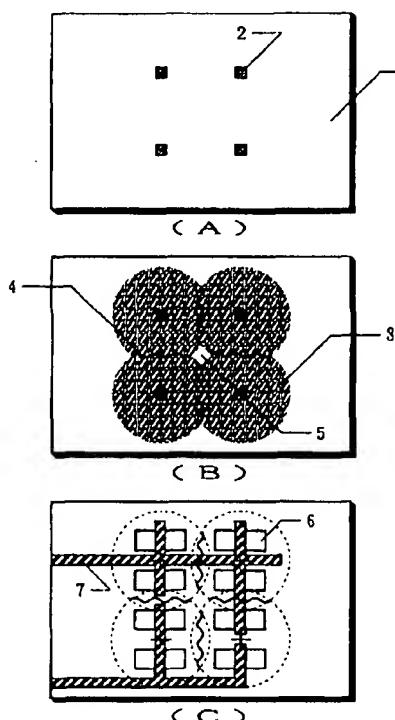
4 ... 粒界

5 ... 結晶化の進行していない領域

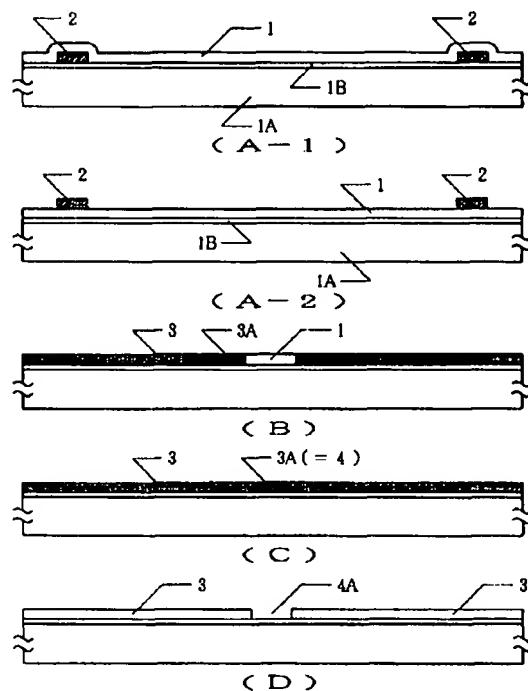
6 ... 半導体領域

7 ... ゲート配線

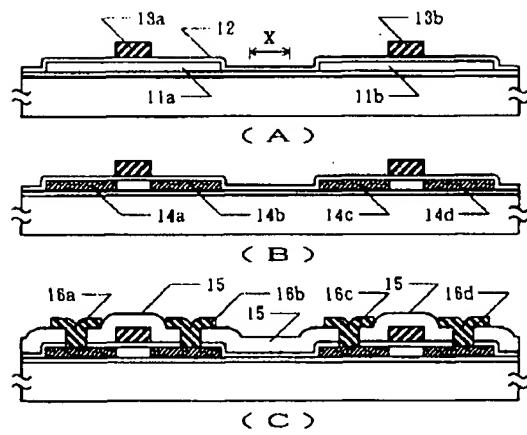
【図1】



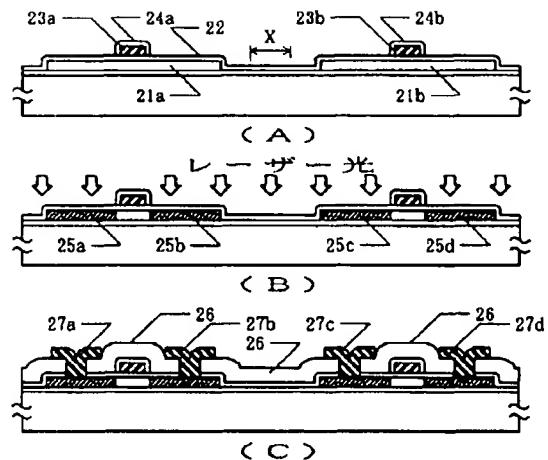
【図2】



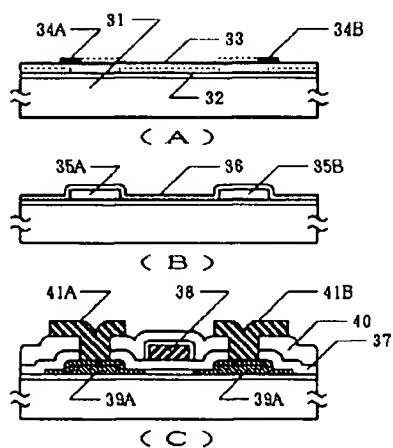
【図 3】



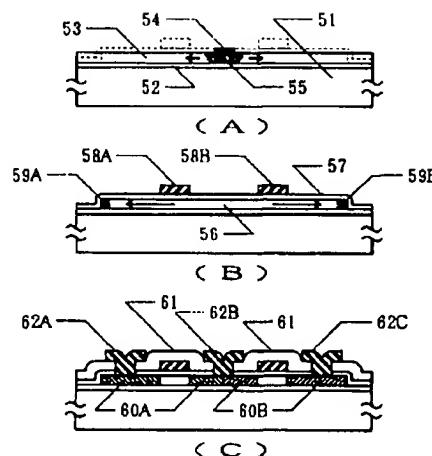
【図 4】



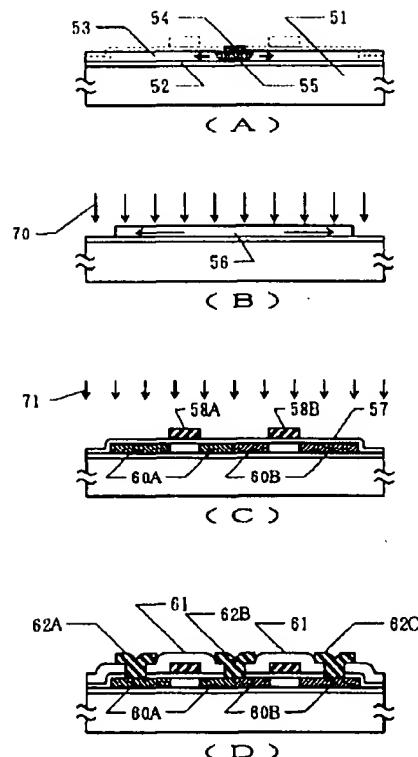
【図 5】



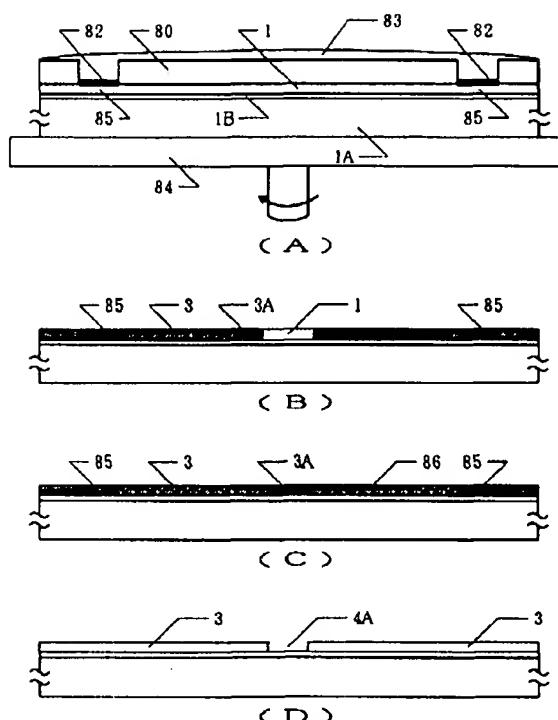
【図 6】



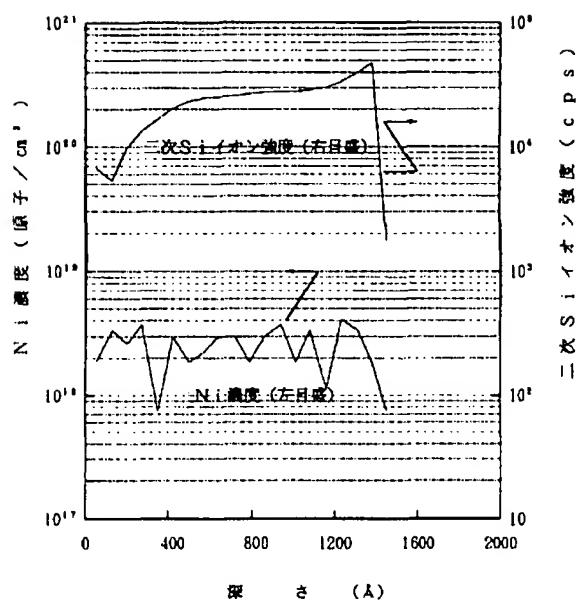
【図7】



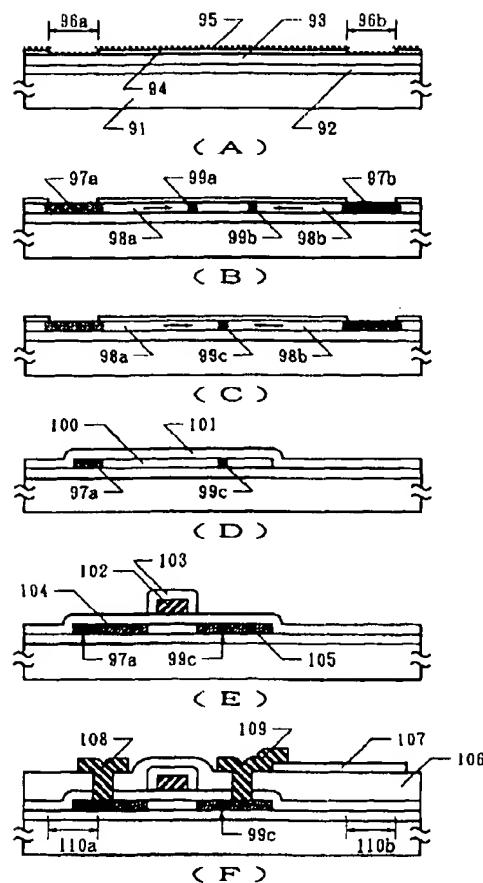
【図8】



【図9】



【図10】



フロントページの続き

(51) Int.CI.*

識別記号 序内整理番号

F I

技術表示箇所

H01L 21/324

Z 8617-4M

(72) 発明者 山崎 邦平

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72) 発明者 竹村 保彦

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内